

HOANG
September 18, 2003
B5K5488
703-2058000
4302-0137P
1041

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 01 月 09 日
Application Date

申請案號：092100402
Application No.

申請人：南亞科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 2 月 27 日
Issue Date

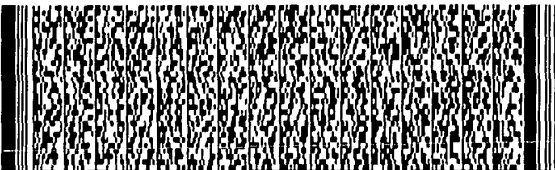
發文字號：09220205690
Serial No.

申請日期： 92. 1. 09	IPC分類
申請案號： 92100402	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	動態隨機存取記憶體之測試結構
	英文	Test Structure of DRAM
二、 發明人 (共5人)	姓名 (中文)	1. 黃建章 2. 吳鐵將 3. 黃慶玲
	姓名 (英文)	1. HUANG, Chien-Chang 2. WU, Tie-Jiang 3. HUANG, Chin-Ling
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 台北縣板橋市實踐路93巷59號3樓之1 2. 宜蘭縣三星鄉萬德村93-7號 3. 台北縣樹林市中華路281號6樓之5
	住居所 (英文)	1. 2. 3.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 南亞科技股份有限公司
	名稱或姓名 (英文)	1. NANYA TECHNOLOGY CORPORATION
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 桃園縣龜山鄉華亞科技園區復興三路六六九號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1.
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang LIEN

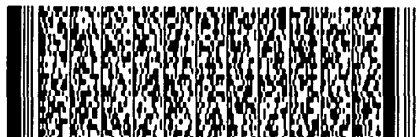


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共5人)	姓 名 (中文)	4. 丁裕偉 5. 姜伯青
	姓 名 (英文)	4. TING, Yu-Wei 5. JIANG, Bo-Ching
	國 籍 (中英文)	4. 中華民國 TW 5. 中華民國 TW
	住居所 (中 文)	4. 台北市內湖區文德路66巷69弄14號2樓 5. 花蓮縣吉安鄉東海五街35號
	住居所 (英 文)	4. 5.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：動態隨機存取記憶體之測試結構)

用於動態隨機存取記憶體的測試結構包含半導體基材，並形成下列結構於其上。電晶體形成於半導體基材上，且包含第一區及第二區作為源極／汲極區。深溝槽電容形成於半導體基材內並位於電晶體旁，並具有第一寬度。淺溝槽隔離區形成於深溝槽電容之上半部，且具有第二寬度，其中第二寬度小於第一寬度。第三區形成於基材內且位於深溝槽電容旁。第一接觸形成於半導體基材上且與第一區接觸，以及第二接觸形成於半導體基材上且與第三區接觸。

伍、(一)、本案代表圖為：第 3 圖

(二)、本案代表圖之元件代表符號簡單說明：

AA2 主動區域

D1 第一寬度

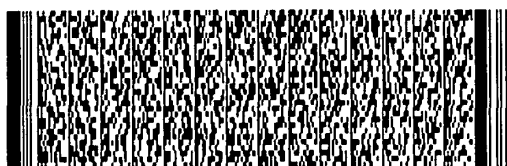
302 深溝槽電容

D2 第二寬度

304 淺溝槽隔離區

陸、英文發明摘要 (發明名稱：Test Structure of DRAM)

A test structure of a DRAM array includes a substrate. A transistor is formed on the substrate and has a first region and a second region as source/drain regions thereof. A deep trench capacitor is formed adjacent to the transistor and has a first width. A shallow trench isolation is formed in a top portion of the deep trench capacitor and has a second width. The

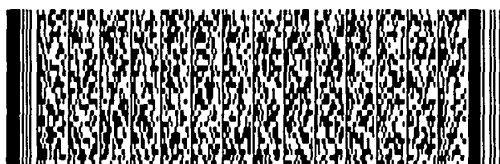


四、中文發明摘要 (發明名稱：動態隨機存取記憶體之測試結構)

308 第一區	310 第二區
312 第三區	318 第一閘極接觸
320 第二閘極接觸	322 第三閘極接觸
324 第四閘極接觸	326 第五閘極接觸
328 第六閘極接觸	
330 第一接觸	
332 第二接觸	334 第三接觸
336 氧化矽層	338 導體層

陸、英文發明摘要 (發明名稱：Test Structure of DRAM)

second width is substantially shorter the first one. A third region is formed adjacent to the deep trench capacitor. A first contact is formed on the substrate and contacts with the first region. A second contact is formed on the substrate and contacts with the third region.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

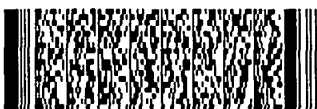
☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

一、【發明所屬之技術領域】

本發明係關於半導體的測試結構，尤其係關於動態隨機存取記憶體的測試結構。

二、【先前技術】

在半導體元件的製程中，會經過多個製程步驟以形成所需元件。例如在形成動態隨機存取記憶體的製程中，需經過多個步驟來形成電容及電晶體以構成一個記憶晶胞 (memory cell)。為了確保這些步驟在晶圓上所形成的結構正確，通常在晶圓上會有測試結構 (test structure)。在步驟進行間，藉由偵測測試結構的電性或其他特性，來確認晶圓上元件的結構正確。

圖 1 為先前技術中，用於製造動態隨機存取記憶體之晶圓上的測試結構剖面圖。基材 100 裡形成第一深溝槽電容 102 及第二深溝槽電容 104。第一閘極接觸 (gate contact) 110 和第二源極／汲極區 118、120 形成一電晶體。第二閘極接觸 116 和第二源極／汲極區 126、128 形成另一電晶體。在第一深溝槽電容 102 旁形成第一埋入式帶狀層 (buried strap) 122，第二深溝槽電容 104 旁形成第二埋入式帶狀層 124。藉由第一接觸 106 和第二接觸 108，偵測電晶體的臨界電壓 V_t (threshold voltage)，來偵測晶圓上的結構是否正確。例如，當溝槽與閘極接觸產生偏移時，會導致臨界電壓降低。



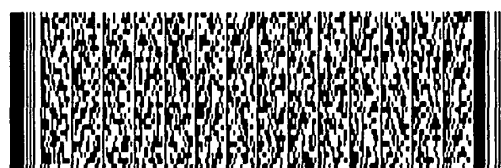
五、發明說明 (2)

圖 1 結構中的主動區域 AAl 較一般的記憶晶胞的主動區域大，無法反映記憶晶胞之主動區域的實際狀況。且需經過的較多埋入式帶狀層，當埋入式帶狀層產生外擴散 (out diffusion) 效應時，也會影響臨界電壓值。如此一來，以圖 1 之結構來測試動態隨機存取記憶體之結構時，會產生變因過多，無法確認晶圓上的問題所在。

三、【發明內容】

本發明之目的係在於提供動態隨機存取記憶體之測試結構，以提供具有較接近實際記憶體晶胞的主動區域面積的測試結構。

本發明提供用於動態隨機存取記憶體之測試結構，係形成於半導體基材上。電晶體形成於半導體基材上，包含形成於半導體基材內作為該電晶體之源極／汲極區的第一區及第二區。深溝槽電容形成於半導體基材內並位於電晶體旁，深溝槽電容具有第一寬度。淺溝槽隔離區形成於深溝槽電容之上半部並具有一第二寬度，其中第二寬度小於第一寬度。第三區形成於半導體基材內且位於深溝槽電容旁。第一接觸形成於半導體基材上且與第一區接觸。第二接觸形成於半導體基材上且與第三區接觸。經由第一接觸及第二接觸測量電晶體之臨界電壓，以偵動態隨機存取記憶體之結構是否正確。



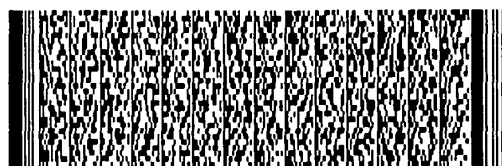
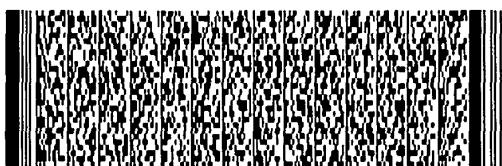
五、發明說明 (3)

四、【實施方式】

本發明提供用於製造動態隨機存取記憶體晶圓上的測試結構。本發明的測試結構具有較接近實際記憶晶胞的主動區域面積，來偵測製程步驟中的各個結構是否堆疊正確。

圖 2 為本發明之測試結構的布局 (layout) 圖。在主動區域 220 的下方，形成有第三閘極接觸 206 及第四閘極接觸 208。具有 "工" 形狀之第一深溝槽電容 224 形成於第一閘極接觸 202 及第二閘極接觸 204 下方。而具有 "工" 形狀之第二深溝槽電容 226 形成於第五閘極接觸 210 及第六閘極接觸 212 下方。第一接觸 214 形成於第一閘極接觸的一側，而第三閘極接觸 210 形成於第六閘極接觸 212 的側。第二閘極接觸 (未圖示) 則形成於主動區域 220 的下方，且在第三閘極接觸 206 和第四閘極接觸 208 之間。沿著剖面線 I-I'，可以得到如圖 3 所示的測試結構剖面圖。

圖 3 為沿著圖 2 之剖面線 I-I' 所得之測試結構剖面圖。半導體基材 300，較佳為矽基材。在半導體基材 300 上以第一接觸 330 為分界，左右兩邊各為一個元件 (device)。左右兩個元件共用第一接觸 330 及第一區 308。以左邊的元件為例，第一區 308 及第二區 310 形成於半導體基材 300 內，第一區 308 及第二區 310 係作為電晶體之源極

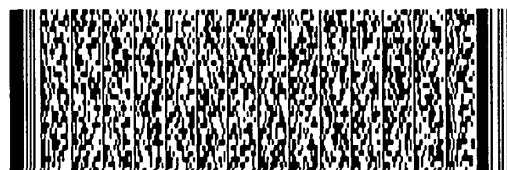


五、發明說明 (4)

／汲極區。第三閘極接觸 322 形成於半導體基材 300 上，係由氧化矽層 336 形成於半導體基材 300 上。接著，導體層 338 形成於氧化矽層 336 上而成，導體層 338 較佳為金屬矽化物層 (silicide)。第三閘極接觸 322 和第一區 308、第二區 310 組成一電晶體。

繼續參考圖 3，左邊元件中，深溝槽電容 302 形成於半導體基材 300 內並位於上述之電晶體旁。深溝槽電容 302 具有第一寬度 (width) $D1$ 。淺溝槽隔離區 (STI) 304 形成於深溝槽電容 302 之上半部。淺溝槽隔離區 302 具有第二寬度 $D2$ 。由圖 3 可發現，第二寬度 $D2$ 小於第一寬度 $D1$ 。第一閘極接觸 318 和第二閘極接觸 320 形成於半導體基材 300 上，位於深溝槽電容 302 上且在淺溝槽隔離區 304 的兩側。第一閘極接觸 318 和第一閘極接觸 320 的結構和前述之第一閘極接觸 322 結構相同，在此不加以贅述。

圖 3 中之第三區，可為埋入式帶狀層，形成於半導體基材 300 內且位於第一深溝槽電容 302 旁。第一區 308、第二區 310 及第三區 312 的形成方式，可為依據元件構造植入適合的摻雜物至半導體基材 300 而成。第一接觸 330，形成於半導體基材 300 上且與第一區 308 接觸。而第二接觸形成該半導體基材 300 上且與第三區 312 接觸。在圖 3 中的閘極接觸為分別和主動字元線 (active word line) 或被動字元線 (passive word line) 連結。以左邊的元件為例，第一



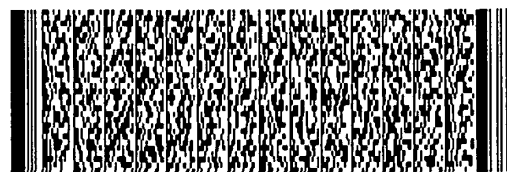
五、發明說明 (5)

閘極接觸 318 和第二閘極接觸 320 分別和被動字元線連結。
第三閘極接觸 322 為和主動字元線連結。

利用圖 3 之測量結構來偵測偵測晶圓上之動態隨機存取記憶體之結構時，經由第一接觸 330 及第二接觸 332 測量電晶體之臨界電壓 V_t (threshold voltage)。當臨界電壓改變時，即表示此晶圓上的製程在結構間有偏移的可能。如當臨界電壓降低時，為溝槽電容 302 和第一閘極接觸 318 與第二閘極接觸 320 偏移所造成。圖 2 中之有效區域 220 或圖 3 中之有效區域 AA2 的面積和真實的記憶晶胞相同。將圖 1 的先前測試結構中，第四閘極接觸 116 移往與第一閘極接觸 110 處重合，形成如圖 3 的結構。圖 3 之測試結構和圖 1 之先前測試結構相比，測量路徑少經過兩個埋入式帶狀層。如此一來，可更靈敏的偵測臨界電壓的改變。

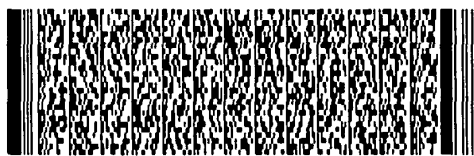
由於係將圖 1 的先前測試結構中，第四閘極接觸 116 移往與第一閘極接觸 110 處重合，形成如圖 3 的結構。因此第三區 312 之埋入式帶狀層的產生外擴散時，並不會造成測量臨界電壓之主動區域 AA2 的電性。

以上本發明之測試結構以圖 3 中之左邊元件為主。而右邊元件為左邊元件之鏡像，兩者間的結構對應為熟習記憶者容易思及，在此不加以贅述。



五、發明說明 (6)

熟悉本項技術者應該清楚了解，本發明可以在不脫離本發明的精神與範圍之下，以其他許多特定形式加以實施。因此，現在提供的實施例應當被當作說明，而不是限制性，此發明不受文中所給之細節所侷限，可隨所附的申請專利範圍內做均等的變化與修改。



圖式簡單說明

五、【圖式簡單說明】

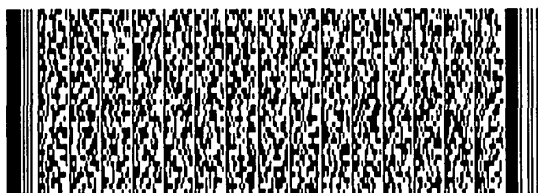
圖 1 為先前技術中，測試結構的剖面圖。

圖 2 為本發明中，動態隨機存取記憶體之測試布局示意圖。

圖 3 為本發明中，測試結構的剖面圖。

元件符號說明

100 半導體基材	AA1 主動區域
102 第一深溝槽電容	104 第二深溝槽電容
106 第一接觸	108 第二接觸
110 第一閘極接觸	112 第二閘極接觸
114 第三閘極接觸	116 第四閘極接觸
118、120 第一源極／汲極區	122 第一埋入式帶狀層
124 第一埋入式帶狀層	
126、128 第二源極／汲極區	
202 第一閘極接觸	204 第二閘極接觸
206 第三閘極接觸	208 第四閘極接觸
210 第五閘極接觸	212 第六閘極接觸
214 第一接觸	216 第三接觸
220 主動區域	224 第一深溝槽
226 第二深溝槽	
300 半導體基材	
302 深溝槽電容	304 淺溝槽隔離區
308 第一區	310 第二區



圖式簡單說明

312 第三區

320 第二閘極接觸

324 第四閘極接觸

328 第六閘極接觸

332 第二接觸

336 氧化矽層

AA2 主動區域

D2 第二寬度

318 第一閘極接觸

322 第三閘極接觸

326 第五閘極接觸

330 第一接觸

334 第三接觸

338 導體層

D1 第一寬度



六、申請專利範圍

1.一種用於一動態隨機存取記憶體 (DRAM)的測試結構 (test structure)，包含：

一半導體基材；

一電晶體 (transistor)形成於該半導體基材上，該電晶體包含形成於該半導體基材內之一第一區及一第二區，該第一區及該第二區係作為該電晶體之源極／汲極區 (source/drain regions)；

一深溝槽電容 (deep trench capacitor)，形成於該半導體基材內並位於該電晶體旁，該深溝槽電容具有一第一寬度；

一淺溝槽隔離區 (STI)形成於該深溝槽電容之一上半部，該淺溝槽隔離區具有一第二寬度，其中該第二寬度小於該第一寬度；

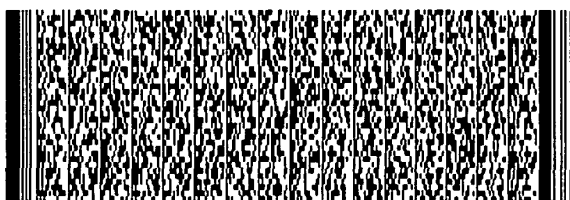
一第二區形成於該半導體基材內且位於該深溝槽電容旁；

一第一接觸 (contact)，形成於該半導體基材上且與該第一區接觸；以及

一第二接觸，形成於該半導體基材上且與該第三區接觸。

2.如申請專利範圍第1項所述之測試結構，其中該半導體基材為一矽基材。

3.如申請專利範圍第1項所述之測試結構，其中該電晶體



六、申請專利範圍

包含一閘極，該閘極包含一氧化矽層形成於該半導體基材上及一導體層形成於該氧化矽層上。

4.如申請專利範圍第1項所述之測試結構，進一步包含兩個閘極接觸 (gate contact) 形成於該半導體基材上，且位於該深溝槽電容上。

5.如申請專利範圍第4項所述之測試結構，其中該閘極接觸包含一氧化矽層形成於該半導體基材上及一導體層形成於該氧化矽層上。

6.如申請專利範圍第3或5項所述之測試結構，其中該導體層為一金屬矽化物層 (silicide)。

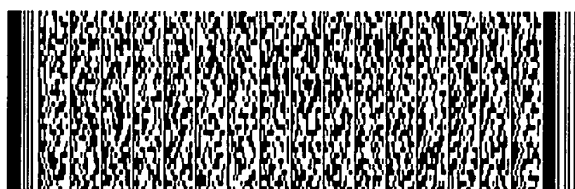
7.如申請專利範圍第1項所述之測試結構，其中該第一區、第二區及第三區係由植入一摻雜物至該半導體基材而成。

8.一種用於一動態隨機存取記憶體的測試結構，包含：

一矽基材；

一電晶體形成於該矽基材上，該電晶體包含形成於該矽基材內之一第一區及一第二區，該第一區及該第二區係作為該電晶體之源極／汲極區；

一深溝槽電容，形成於該矽基材內並位於該電晶體



六、申請專利範圍

旁，該深溝槽電容具有一第一寬度；

一淺溝槽隔離區形成於該深溝槽電容之一上半部，該淺溝槽隔離區具有一第二寬度，其中該第二寬度小於該第一寬度；

兩個閘極接觸形成於該矽基材上，且位於該深溝槽電容上，其中該兩個閘極接觸以該淺溝槽隔離區分開；

一埋入式帶狀層 (buried strap) 形成於該矽基材內且位於該深溝槽電容旁；

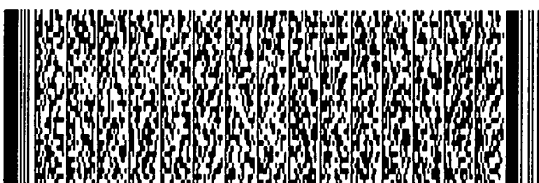
一第一接觸，形成於該矽基材上且與該第一區接觸；
以及

一第二接觸，形成於該矽基材上且與該埋入式帶狀層接觸。

9. 如申請專利範圍第 8 項所述之測試結構，其中該電晶體包含一閘極，該閘極包含一氧化矽層形成於該矽基材上及一導體層形成於該氧化矽層上。

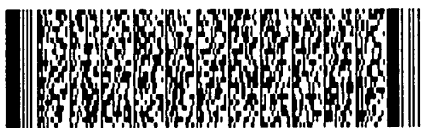
10. 如申請專利範圍第 8 項所述之測試結構，其中該閘極接觸包含一氧化矽層形成於該矽基材上及一導體層形成於該氧化矽層上。

11. 如申請專利範圍第 9 或 10 項所述之測試結構，其中該導體層為一金屬矽化物層。

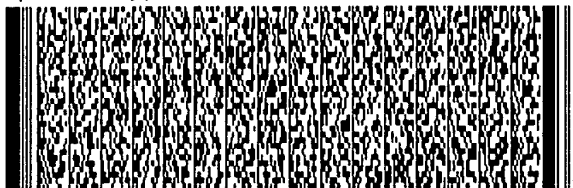


六、申請專利範圍

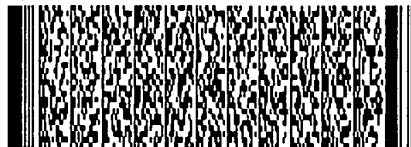
12.如申請專利範圍第8項所述之測試結構，其中該第一區、該第二區及該埋入帶狀層係由植入一摻雜物至該矽基材而成。



第 1/17 頁



第 2/17 頁



第 3/17 頁



第 3/17 頁



第 4/17 頁



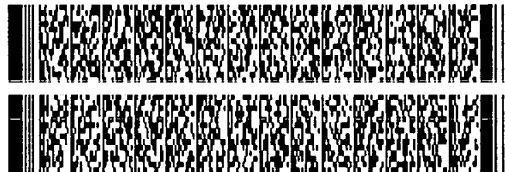
第 5/17 頁



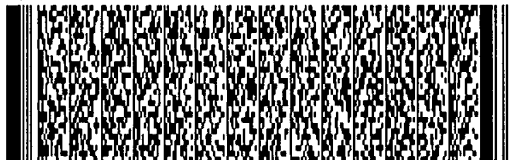
第 6/17 頁



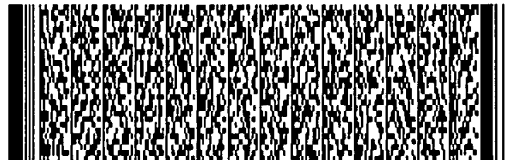
第 6/17 頁



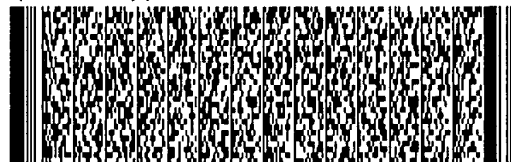
第 7/17 頁



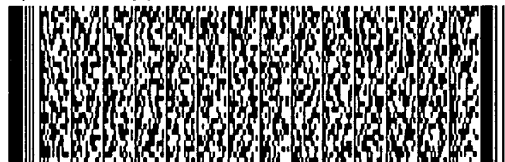
第 7/17 頁



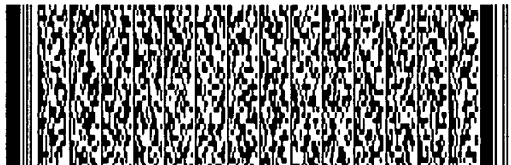
第 8/17 頁



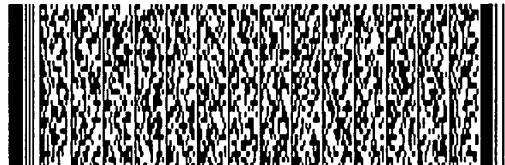
第 8/17 頁



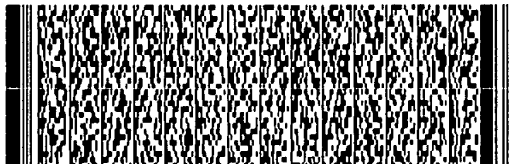
第 9/17 頁



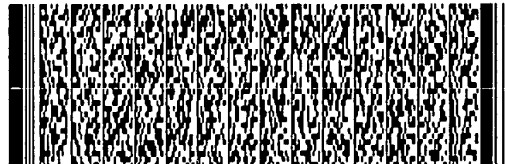
第 9/17 頁



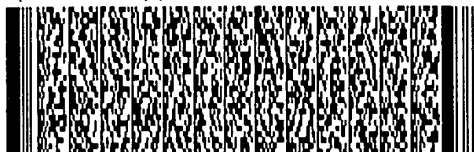
第 10/17 頁



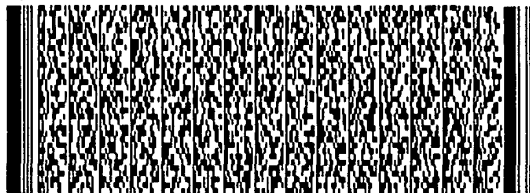
第 10/17 頁



第 11/17 頁



第 12/17 頁



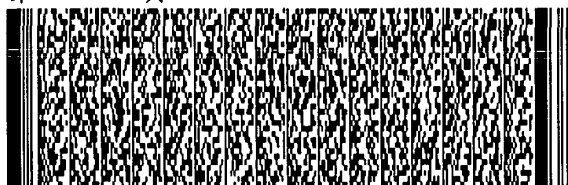
第 13/17 頁



第 14/17 頁



第 15/17 頁



第 16/17 頁



第 17/17 頁



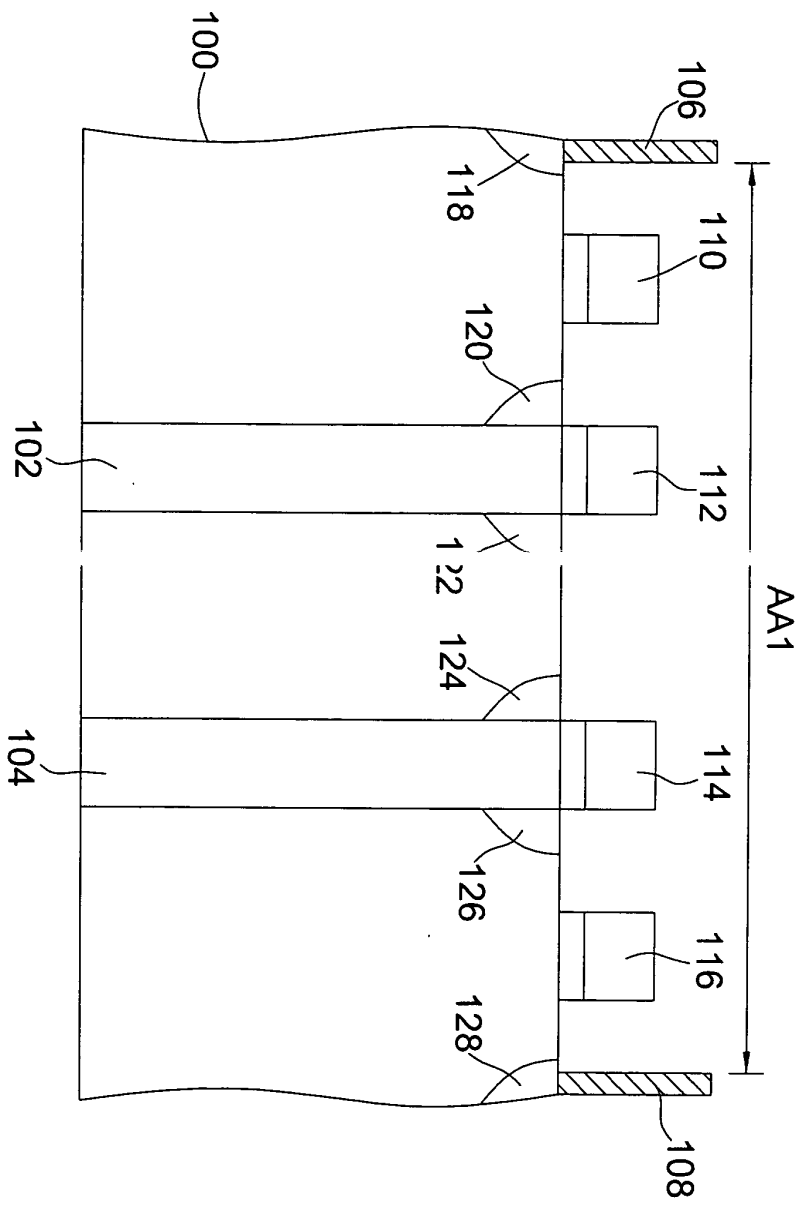


圖 1 (先前技術)

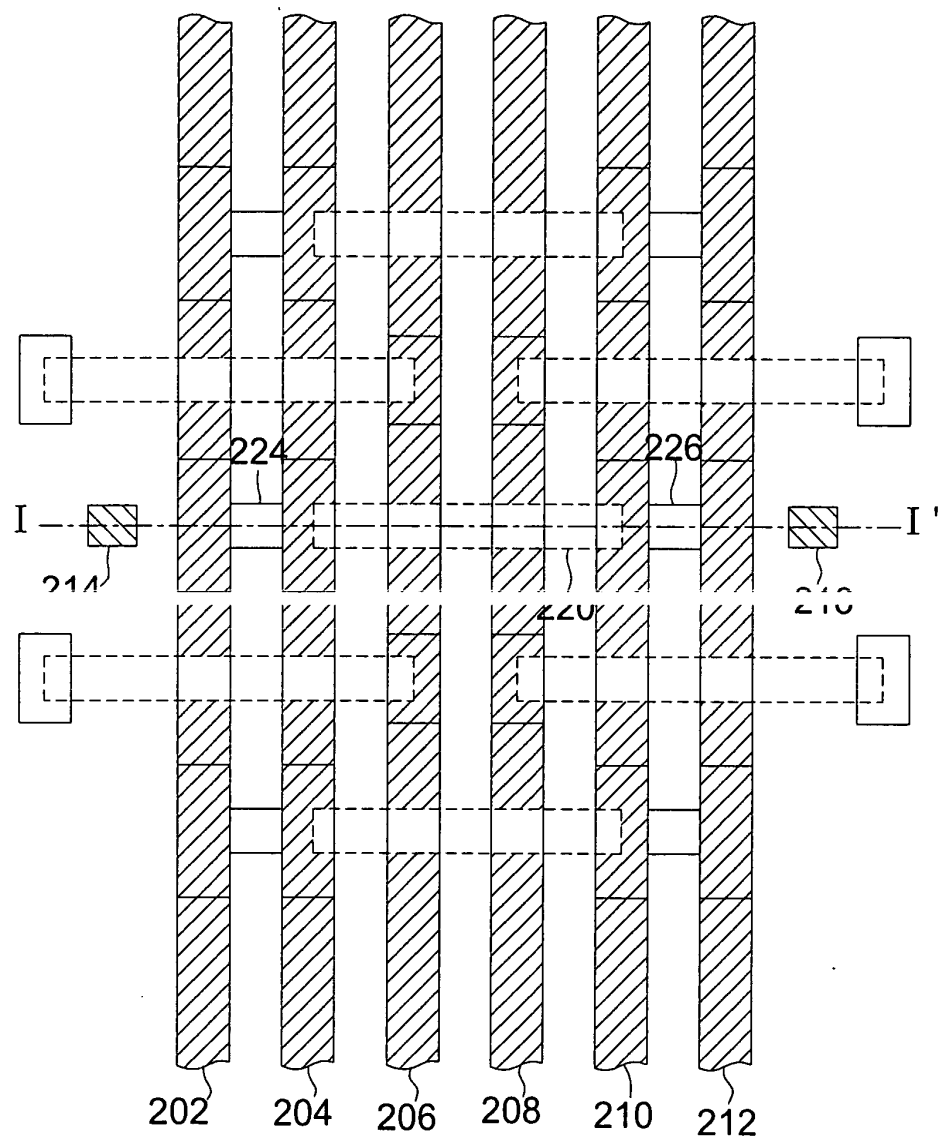


圖 2

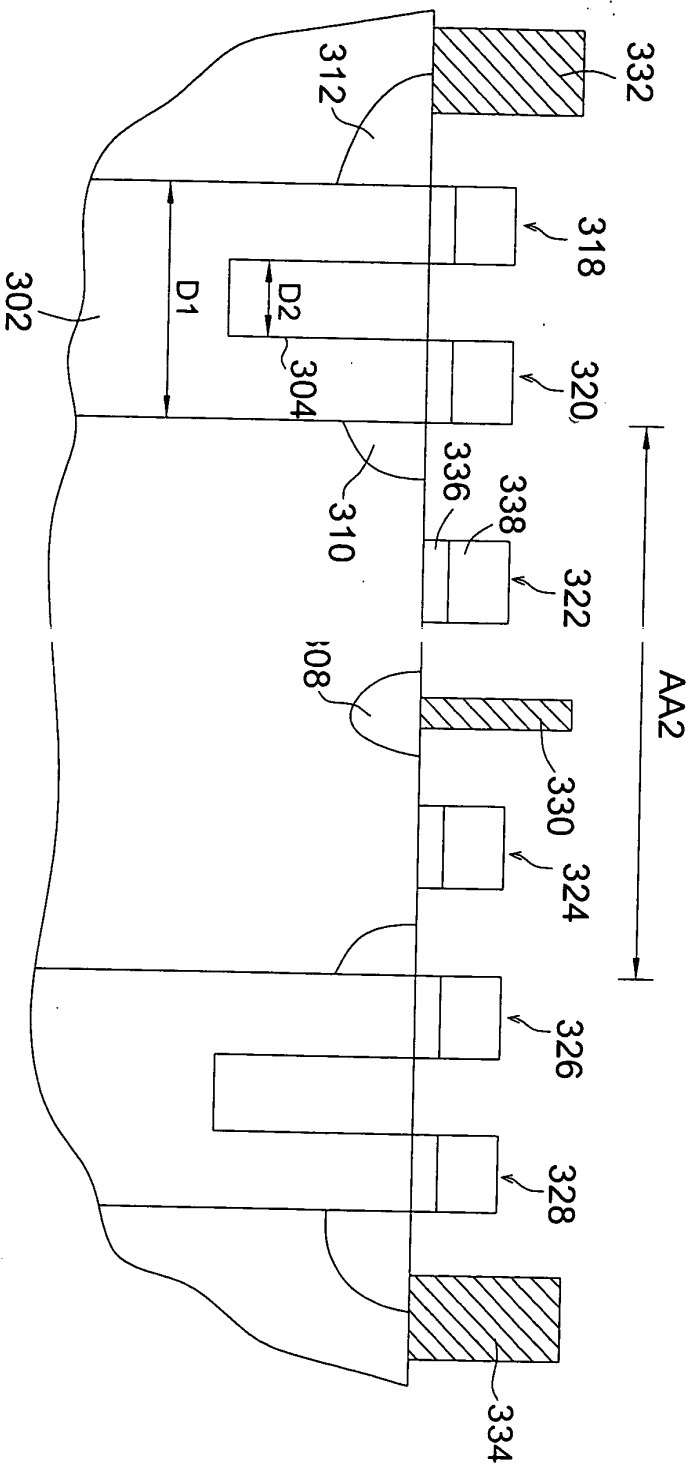


圖 3